

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-123292

(43)Date of publication of application : 16.05.1989

(51)Int.Cl. G09G 3/36  
G01R 31/28  
G02F 1/133  
H01L 27/12

(21)Application number : 62-282453

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 09.11.1987

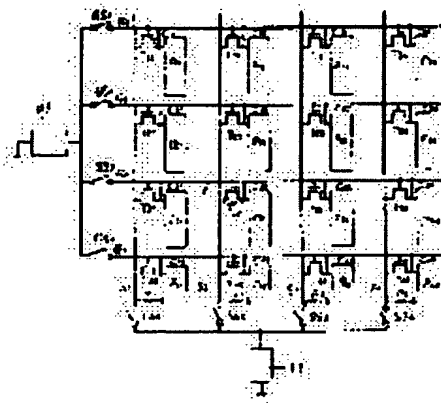
(72)Inventor : TAKAHARA HIROSHI

## (54) METHOD FOR INSPECTING ACTIVE MATRIX ARRAY

### (57)Abstract:

PURPOSE: To easily detect a defect or a thin film transistor TFT by setting at least one of the drain terminal of the TFT and a picture element electrode and a gate signal line to the short-circuit state.

CONSTITUTION: Connection means GS<sub>m</sub> to all gate signal lines are closed, and a voltage applying means 10 generates a signal to turn off TFTs. Next, a connection means SS<sub>1</sub> to a source signal line is closed, and a voltage measuring means 11 measures the voltage between both ends of a pickup resistance R<sub>1</sub>. In this case, no voltage is measured by the voltage measuring means if TFTs connected to the source signal line S<sub>1</sub> are indefectible. When the connection means SS<sub>1</sub> is opened and a connection means SS<sub>2</sub> is closed, a negative voltage is measured by the voltage measuring means 11 because of a current path passing the resistance R<sub>2</sub>, a short-circuit defect 6, a short-circuit part C<sub>32</sub>, and G<sub>3</sub>, and the occurrence of a source-drain short-circuit defect in TFTs connected to a source signal line S<sub>2</sub> is detected. Thus, an active matrix array is quickly checked without contacting.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2506840号

(45)発行日 平成 8 年(1996) 6 月12日

(24)登録日 平成 8 年(1996) 4 月 2 日

(51)Int.Cl. <sup>a</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786		9056-4M	H 0 1 L 29/78	6 2 4

発明の数 1 (全 9 頁)

(21)出願番号 特願昭62-282453

(22)出願日 昭和62年(1987)11月 9 日

(65)公開番号 特開平1-123292

(43)公開日 平成 1 年(1989) 5 月16日

(73)特許権者 999999999

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 高原 博司

大阪府門真市大字門真1006番地 松下電  
器産業株式会社内

(74)代理人 弁理士 庵本 智之

審査官 井口 猶二

(56)参考文献 特開 昭63-167333 (J P, A)

(54)【発明の名称】 アクティブマトリックスアレイの検査方法

1

(57)【特許請求の範囲】

【請求項 1】 アクティブマトリックスアレイであって、  
複数個の薄膜トランジスタのドレイン端子と前記ドレイン  
端子に接続されている絵素電極のうち少なくとも一方  
と前記薄膜トランジスタが接続されたゲート信号線とを  
導電性物質を押圧接触させることにより短絡し、次に任  
意の前記ゲート信号線に信号を印加し、前記薄膜トラン  
ジスタが接続された前記薄膜トランジスタの欠陥を検出  
することを特徴とするアクティブマトリックスアレイの  
検査方法。

【発明の詳細な説明】

産業上の利用分野

本発明はアクティブマトリックス型液晶表示装置に用  
いるアクティブマトリックスアレイの検査方法に関する  
ものである。

2

従来の技術

近年、液晶表示装置の絵素数増大に伴って、走査線数  
が増え、従来から用いられている単純マトリックス型液  
晶表示装置では表示コントラストや応答速度が低下する  
ため、各絵素にスイッチング素子を配置したアクティブ  
マトリックス型液晶表示装置が利用されつつある。しか  
しながら前記アクティブマトリックス型液晶表示装置に  
用いるアクティブマトリックスアレイは一枚の基板に数  
万個以上の薄膜トランジスタを形成しなければならない  
10 い。その為すべての薄膜トランジスタを無欠陥で形成す  
ることは非常に高度な技術を要する。したがって現在の  
技術ではアクティブマトリックスアレイの良否を検査  
し、良否の判別をおこなう必要がある。そこで容易な検  
査方法がまちのそまれている。

以下図面を参照しながら従来のアクティブマトリッ

スアレイの検査方法の一例について説明する。

第4図はアクティブマトリックスアレイの一部拡大図である。ただし以下の図面において説明に用いる箇所は省略してあり、また一部拡大あるいは縮小した部分が存在する。また同一記号・同一番号の箇所は同一内容あるいは同一構成の部分である。第4図において1はゲート信号線、2はソース信号線、3は絶縁体膜、4はドレイン端子、5は絵素電極である。また図中の点線内の部分は薄膜トランジスタ（以下TFTと呼ぶ）を構成している。第5図は第4図のアクティブマトリックスアレイの等価回路である。第5図において $G_m$ （ただし $m$ は整数）はゲート信号線、 $S_n$ （ただし $n$ は整数）はソース信号線、 $T_{mn}$ （ただし $m \cdot n$ は整数）はTFT、 $P_{mn}$ （ただし $m \cdot n$ は整数）は絵素電極である。

以下、従来のアクティブマトリックスアレイの検査方法について述べる。第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図であり、第6図において6はTFTのソース・ドレイン間短絡欠陥であり、7・8はプローブ、9は抵抗値測定手段である。ここでTFTの絵素欠陥について説明する。通常、絵素欠陥と呼ばれているものには2種類ある。1つはTFTのゲート・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がゲート信号線に接続されているため、絵素が非点灯状態となる。したがって、ノーマリブラック表示の時は黒欠陥となる。他の1つはTFTのソース・ドレイン間短絡欠陥であり、前記欠陥状態はたえず絵素電極がソース信号線に接続されているため、絵素電極に信号が常時ながれこむ。したがって、ノーマリブラック表示の時は常時点灯状態となる白欠陥となる。黒欠陥と白欠陥を比較した場合人間の視覚には前記白欠陥がめだつたため、白欠陥がアクティブマトリックスアレイ内で多く発生している場合、表示品質をいちじるしく低下させ、したがって前記アクティブマトリックスアレイは液晶表示パネルとして組み立てた製品とすることはできない。ゆえにアクティブマトリックスアレイでは白欠陥となるTFTのソース・ドレイン間短絡欠陥の有無を検査することが重要となる。そこで従来のTFTのソース・ドレイン間短絡欠陥の検査はまずプローブ7をソース信号線に圧接し、次にプローブ8を各TFTが接続された絵素電極に圧接し、プローブ7・8間の抵抗値を測定することにより欠陥を検出していた。第6図の場合プローブ7をソース信号線 $S_2$ に、プローブ8を絵素電極 $P_{32}$ に圧接し、前記プローブ7・8間の抵抗値を測定した際、通常よりも低い抵抗値が測定され、ゆえにTFTの $T_{32}$ のソース・ドレイン間短絡欠陥6を検出することができる。

発明が解決しようとする問題点

しかしながら従来のアクティブマトリックスアレイの検査方法ではTFTのソース・ドレイン間短絡欠陥の検出はプローブを各絵素電極に圧接し、抵抗値を測定するしか手段がなかった。そのためプローブにより絵素電極な

どが損傷するという問題があり、またプローブの位置決めなどに長時間を要し、絵素数が数万点以上となるとても実用にたえうるものではなかった。

本発明は上記問題点に鑑み、TFTの欠陥検査が非常に容易なアクティブマトリックスアレイの検査方法を提供するものである。

問題点を解決するための手段

上記問題点を解決するため本発明のアクティブマトリックスアレイの検査方法は複数のTFTのドレイン端子と前記ドレイン端子に接続されている絵素電極のうち少なくとも一方と前記TFTが接続されたゲート信号線とを導電性物質を押圧接触させることにより短絡し、前記ゲート信号線に順次、信号を印加するとともに、前記TFTが接続されたソース信号線からの出力信号を検出することによりTFTの欠陥を検出するものである。

作用

本発明はTFTのドレイン端子と絵素電極とのうち少なくとも一方とゲート信号線とを短絡状態にすることにより信号をプローブを用いず、ゲート信号線から短絡部を通じて印加することができる。したがって前記TFTにソース・ドレイン間短絡欠陥が発生しておればソース信号線に信号が出力されることにより前記欠陥を検出することができる。

実施例

以下本発明の一実施例のアクティブマトリックスアレイの検査方法について図面を参照しながら説明する。

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図である。第1図において10は電圧印加手段、 $R_n$ （ただし $n$ は整数）はピックアップ抵抗、11は電圧測定手段、 $C_{mn}$ （ただし $m \cdot n$ は整数）はドレイン端子4とゲート信号線1との短絡部（以後ドレイン短絡部と呼ぶ。）、 $G_m$ （ただし $m$ は整数）は任意のゲート信号線との接続手段、 $SS_n$ （ただし $n$ は整数）は任意のソース信号線との接続手段である。前記ドレイン短絡部の形成方法は後で記述する。

まず第1段階としてすべてのゲート信号線との接続手段 $G_m$ を閉じるとともに、電圧印加手段10は薄膜トランジスタをオフする信号（通常は負電圧）を発生させる。次にソース信号線との接続手段 $SS_1$ を閉じ、電圧測定手段11はピックアップ抵抗 $R_1$ の両端の電圧を測定する。前記の場合ソース信号線 $S_1$ に接続されているTFTが良品の場合、電圧測定手段には電圧が測定されない。つぎに $SS_1$ を開き、 $SS_2$ を閉じる。電圧測定手段11はピックアップ抵抗 $R_2$ の両端の電圧を測定する。 $SS_2$ を閉じた際、 $R_2 \rightarrow$ 短絡欠陥6 $\rightarrow$ 短絡部 $C_{32} \rightarrow G_3$ なる電流経路が生じているため、電圧測定手段11には負電圧が測定され、ゆえにソース信号線 $S_2$ に接続されたTFTにソース・ドレイン短絡欠陥が発生していることが検出される。以上の動作をくりかえしていくことにより、どのソース信号線に接続されているTFTに不良が発生しているか検出することがで

きる。上記の場合ソース信号線 $S_2$ に接続されているTFTに欠陥が発生していることが検出された。次に第2段階として $SS_2$ のみを閉じ、他の任意のソース信号線との接続手段は開いたままにしておく。次に $GS_1$ のみを閉じ、他の任意のゲート信号線との接続手段は開いたままにしておく。通常 $GS_1$ より $GS_4$ まで順次1つのゲート信号線との接続手段を閉じていくとともに、電圧測定手段11はピックアップ抵抗 $R_2$ の両端の電圧を測定していく。上記の場合 $GS_3$ を閉じ、信号を印加した際、 $R_2 \rightarrow$ 短絡欠陥6 $\rightarrow$ 短絡部 $C_{32} \rightarrow C_3$ なる電流経路が発生するため、電圧測定手段11に負電圧が測定され、ゆえにTFTの $T_{32}$ にソース・ドレイン間短絡欠陥6が発生していることを検出することができる。

短絡部 $C_{11} \sim C_{44}$ の形成方法として以下のような方法がある。第2図(a)は短絡部を形成するため短絡部形成用構成体の平面図である。第2図(b)は第2図(a)のAA'線での断面図である。第2図(a)(b)において12は電気的絶縁性を有する絶縁ゴムであり、13は電気的導通性を有する導電ゴムであり、隣接した導電ゴム13間の間隔はアクティブマトリックスアレイの絵素ピッチに構成されている。第2図(a)(b)の短絡部形成用構成体の使用方法としては第3図に示すように各絵素のゲート信号線と絵素電極が短絡状態となるように導電ゴム13を圧接する。以上の方法により第1図に示す短絡部を形成することができる。なお、短絡部形成用構成体は第1図に示すように $M \times N$ 個の絵素に対し、一括して圧接してもよいし、第3図に示すように一列の絵素に圧接

し、順次移動させて検査を行ってもよい。

#### 発明の効果

本発明は複数のTFTのドレイン端子とゲート信号線とを短絡し、次にTFTのドレイン端子に信号を印加し、ソース信号線に出力される信号を検出することにより、TFTのソース・ドレイン短絡欠陥を検出することができる。またプローブをTFTの絵素電極5に位置決めしていく必要がないため、高速なアクティブマトリックスアレイの検査をおこなうことができる。

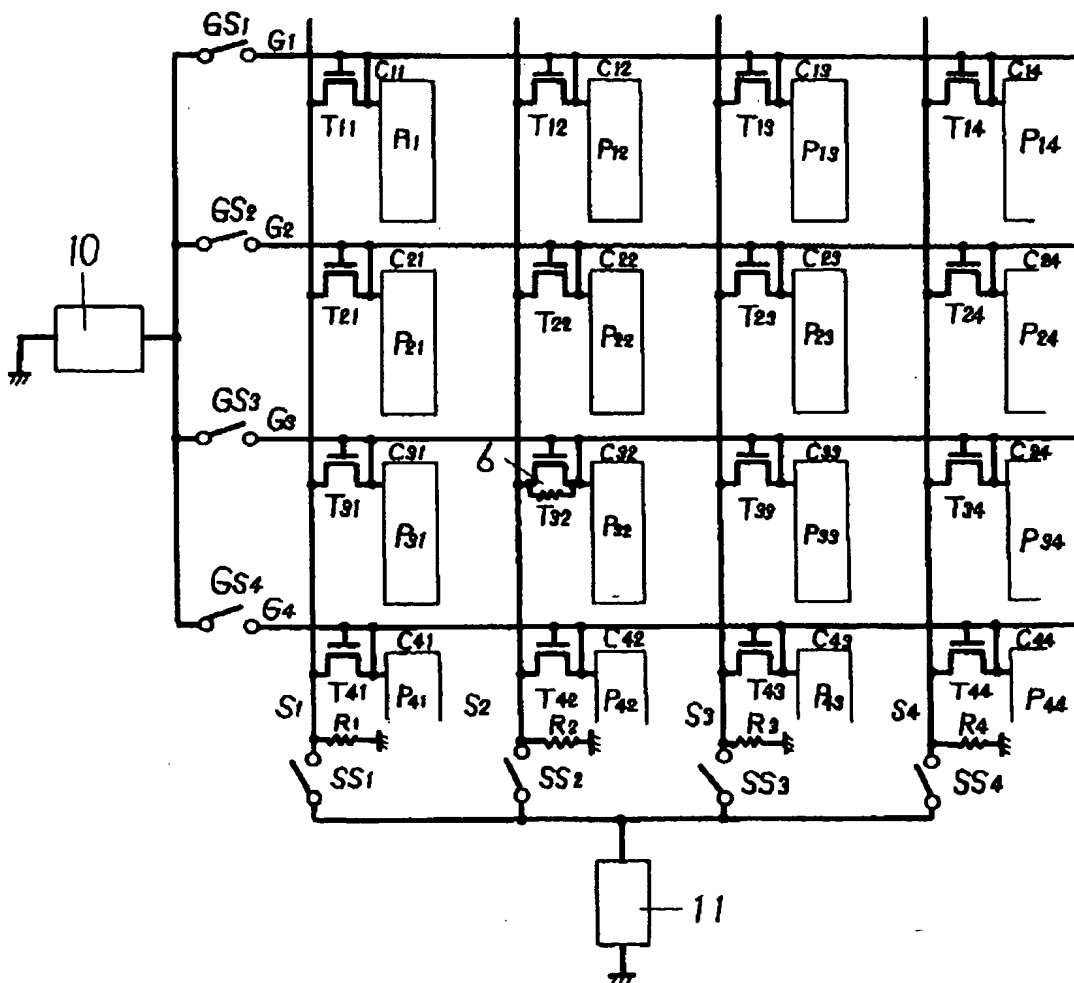
#### 【図面の簡単な説明】

第1図は本発明のアクティブマトリックスアレイの検査方法を説明するための説明図、第2図(a)(b)は短絡部形成用構成体の平面図および断面図、第3図は短絡部形成用構成体の使用方法を説明するための説明図、第4図はアクティブマトリックスアレイの一部拡大平面図、第5図はアクティブマトリックスアレイの等価回路図、第6図は従来のアクティブマトリックスアレイの検査方法を説明するための説明図である。

1……ゲート信号線、2……ソース信号線、3……絶縁体膜、4……ドレイン端子、5……絵素電極、6……短絡欠陥、7・8……プローブ、9……抵抗値測定手段、10……電圧印加手段、11……電圧測定手段、12……絶縁ゴム、13……導電ゴム、 $G_1 \sim G_4$ ……ゲート信号線、 $S_1 \sim S_2$ ……ソース信号線、 $T_{11} \sim T_{44}$ ……薄膜トランジスタ、 $P_{11} \sim P_{44}$ ……絵素電極、 $GS_1 \sim GS_4$ ……ゲート接続手段、 $SS_1 \sim SS_4$ ……ソース接続手段、 $C_{11} \sim C_{44}$ ……短絡部。

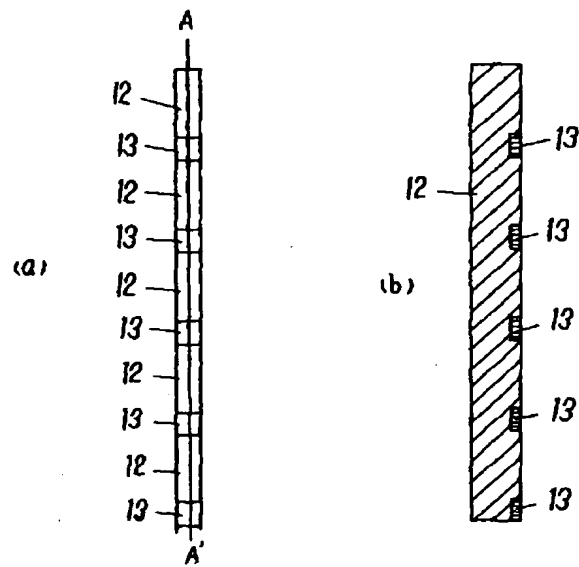
【第1図】

- 6 --- 短絡欠陥  
 10 --- 電圧印加手段  
 11 --- 電圧測定手段  
 G1~G4 --- ゲート信号線  
 S1~S4 --- ソース信号線  
 T11~T44 --- 薄膜トランジスタ  
 P11~P44 --- 絵素電極  
 GS1~GS4 --- ゲート接続手段  
 SS1~SS4 --- ソース接続手段  
 C11~C44 --- 短絡部

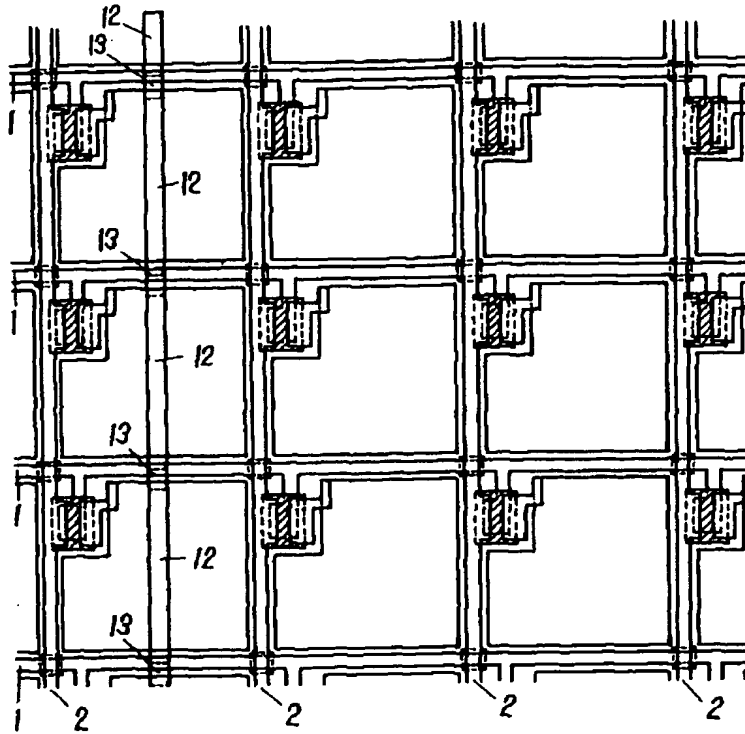


【第 2 図】

12 -- 絶縁ゴム  
13 -- 導電ゴム



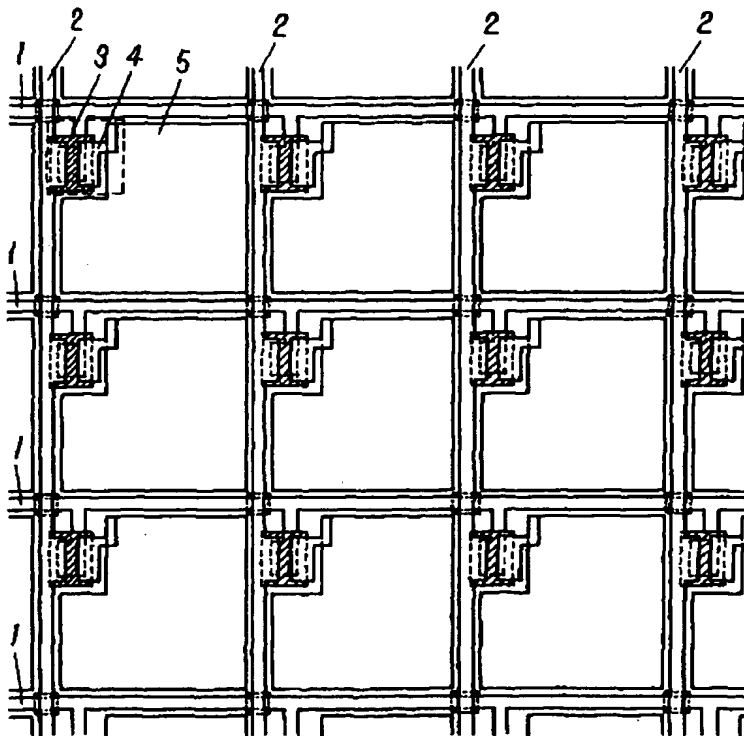
【第3図】



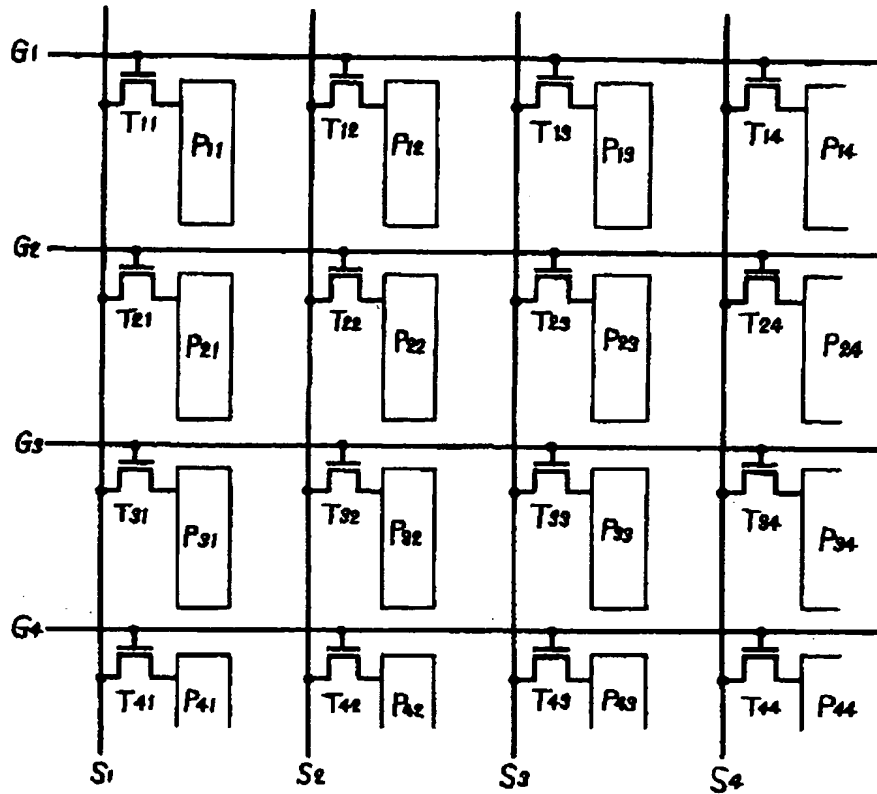


【第4図】

- 1 --- ゲート信号線  
 2 --- ソース信号線  
 3 --- 絶縁体膜  
 4 --- ドレイン端子  
 5 --- 放電電極



【第5図】



【第6図】

- 6 - ソース・ドレイン間短絡欠陥  
 7, 8 - プローブ  
 9 - 抵抗値測定手段

